

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-024205
(43)Date of publication of application : 25.01.2002

(51)Int.Cl. G06F 17/16
G06F 9/38

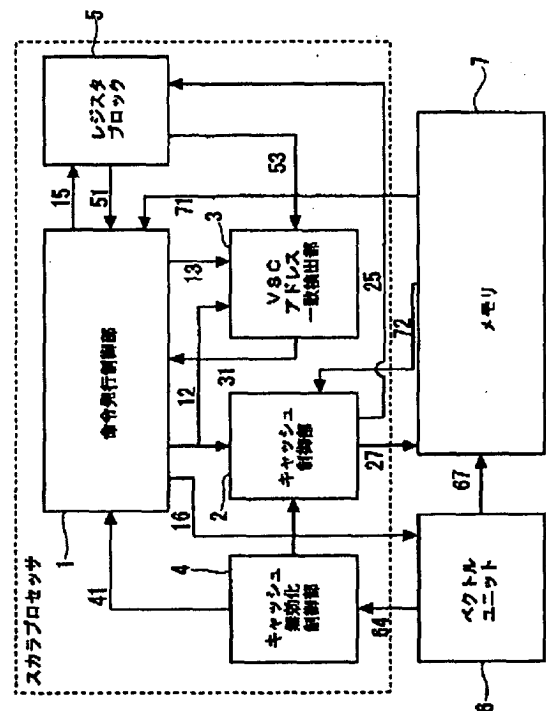
(21)Application number : 2000-211607 (71)Applicant : NEC CORP
(22)Date of filing : 12.07.2000 (72)Inventor : KOYANAGI HISAO

(54) VECTOR SCATTER INSTRUCTION CONTROL CIRCUIT AND VECTOR TYPE INFORMATION PROCESSOR

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a device which actualizes performance improvement by evading the issue postponement of a following instruction due to cache invalidation processing by a vector scatter instruction and performing overtaking control over the vector scatter instruction.

SOLUTION: A vector type information processor is provided with a VSC address matching detection part 3 having registers stored with the area head address and area end address of a vector scatter instruction with area specification and a circuit which detects whether or not the address of the vector scatter instruction with the area specification and the address of a memory access instruction following the instruction overlap with each other, and an instruction issue control part 1 is equipped with a hold control circuit which receives an address matching signal from the VSC address matching detection part and holds the following memory access instruction whose address matches the address of the vector scatter instruction with the area specification.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-24205 ✓

(P2002-24205A)

(43) 公開日 平成14年1月25日 (2002.1.25)

(51) Int.Cl.⁷

G 0 6 F 17/16

識別記号

9/38

3 1 0

3 5 0

F I

G 0 6 F 17/16

9/38

テ-マコ-ト* (参考)

A 5 B 0 1 3

F 5 B 0 5 6

3 1 0 G

3 5 0 A

審査請求 有 請求項の数 9 O L (全 11 頁)

(21) 出願番号

特願2000-211607 (P2000-211607)

(22) 出願日

平成12年7月12日 (2000.7.12)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 小柳 尚夫

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100080816

弁理士 加藤 朝道

Fターム(参考) 5B013 AA05 AA14 CC06

5B056 AA05 BB32 EE05 FF03 FF05

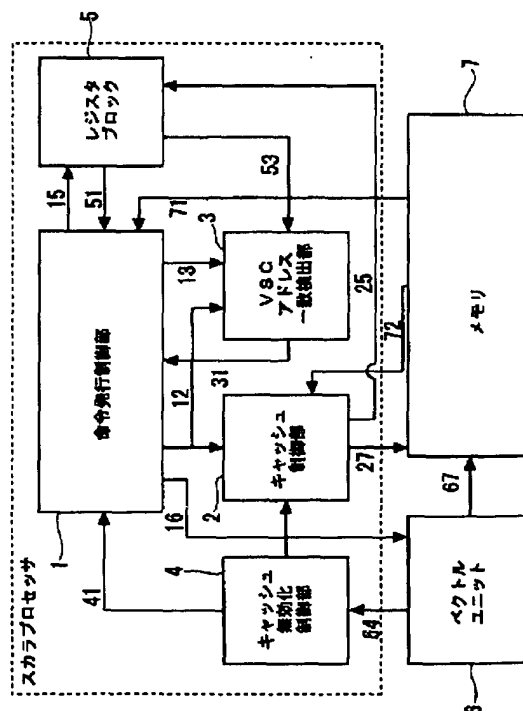
FF07 FF10

(54) 【発明の名称】 ベクトルスキャタ命令制御回路及びベクトル型情報処理装置

(57) 【要約】

【課題】 ベクトルスキャタ命令でのキャッシュ無効化処理による後続命令の発行延期の回避と、ベクトルスキャタ命令の追い越し制御を可能とし、性能向上を実現する装置の提供。

【解決手段】 領域指定付ベクトルスキャタ命令の領域先頭アドレスと、領域終了アドレスを格納するレジスタと、前記領域指定付ベクトルスキャタ命令のアドレスと、該命令の後続メモリアクセス命令とのアドレスとが重なっているか否か検出する回路と、を有するVSCアドレス一致検出部3と、命令発行制御部1は、VSCアドレス一致検出部からのアドレス一致信号を受けて、前記領域指定付ベクトルスキャタ命令のアドレスと一致した後続メモリアクセス命令をホールドさせるホールド制御回路を備える。



【特許請求の範囲】

【請求項 1】命令セットとして、スキヤタ領域が指定される領域指定付ベクトルスキヤタ命令を設け、前記領域指定付ベクトルスキヤタ命令がアクセスするアドレスと、前記ベクトルスキヤタ命令の後続のメモリアクセス命令のアドレスとが重なっているか否かを検出する手段と、
アドレスが重なっている場合には、前記後続のメモリアクセス命令をホールドさせる手段と、
を備えたことを特徴とするベクトルスキヤタ命令制御回路。

【請求項 2】キャッシュ無効化が終了するまで、前記後続のメモリアクセス命令がホールドされる、ことを特徴とする、請求項 1 記載のベクトルスキヤタ命令制御回路。

【請求項 3】ベクトル型情報処理装置において、領域開始アドレスと領域終了アドレスが指定される領域指定付ベクトルスキヤタ命令の領域開始アドレスと、領域終了アドレスを格納するレジスタと、
前記領域指定付ベクトルスキヤタ命令の後続のメモリアクセス命令がアクセスするアドレスが、前記領域指定付ベクトルスキヤタ命令の前記領域開始アドレスと前記領域終了アドレスで規定されるスキヤタ領域内にあるか否かを判定し、前記後続のメモリアクセス命令のアドレスが前記スキヤタ領域内にある場合に、アドレス一致信号を出力する回路と、を有するベクトルスキヤタ (VSC) アドレス一致検出部を備え、
命令発行制御部において、前記ベクトルスキヤタアドレス一致検出部からのアドレス一致信号を受けて、前記後続メモリアクセス命令をホールドさせるホールド制御回路を備えたことを特徴とするベクトル型情報処理装置。

【請求項 4】命令データを解釈して、命令動作を指示する命令発行制御部と、
前記命令発行制御部からのアドレスを受け取り、キャッシュの制御を行うキャッシュ制御部と、
前記命令発行制御部からベクトル命令が発行された場合、実行指示を受け取り、前記ベクトル命令が、スキヤタ領域の領域開始アドレスと領域終了アドレスが指定される領域指定付ベクトルスキヤタ命令である場合、メモリに対して、書き込むべきベクトルデータを送出するとともに、更に、キャッシュ無効化アドレスを送出するベクトルユニットと、
前記ベクトルユニットからキャッシュ無効化アドレスを受け取り前記キャッシュの無効化を行うキャッシュ無効化制御部と、
前記命令発行制御部から、前記領域指定付ベクトルスキヤタ命令が発行された場合、前記命令発行制御部からアクセスされるレジスタブロックより、前記領域指定付ベクトルスキヤタ命令のスキヤタ領域の領域開始アドレスと、領域終了アドレスとを受け取り、前記領域指定付ベ

クトルスキヤタ命令の後続のメモリアクセス命令とアクセスするアドレス領域が重なっているか否かを検出し、アドレスが重なっている場合に、アドレス一致信号をアクティブ状態として、前記命令発行制御部に対して送出するベクトルスキヤタ (VSC) アドレス一致検出部と、

を備え、

前記命令発行制御部が、前記ベクトルスキヤタアドレス一致検出部から送出されたアクティブ状態の前記アドレス一致信号を受けて、前記後続のメモリアクセス命令をホールドさせるように制御するホールド制御回路を備えたことを特徴とする、ベクトル型情報処理装置。

【請求項 5】前記ホールド制御回路は、前記ベクトルスキヤタアドレス一致検出部からの前記アドレス一致信号がインアクティブのときには、前記後続のメモリアクセス命令をホールドさせない、ことを特徴とする、請求項 4 記載のベクトル型情報処理装置。

【請求項 6】前記ホールド制御回路は、前記キャッシュ無効化制御部よりキャッシュ無効化の終了の通知を受けるまで、前記後続のメモリアクセス命令をホールドさせる、ことを特徴とする、請求項 4 又は 5 記載のベクトル型情報処理装置。

【請求項 7】前記ベクトルスキヤタアドレス一致検出部が、前記後続のメモリアクセス命令のアクセスアドレスと、前記領域指定付ベクトルスキヤタ命令の領域開始アドレスとを比較し、前記後続のメモリアクセス命令のアクセスアドレスが前記領域開始アドレス以上であるときアクティブ状態の信号を出力する第 1 の比較器と、
前記後続のメモリアクセス命令のアクセスアドレスと前記領域指定付 VSC 命令の領域終了アドレスとを比較し、前記後続のメモリアクセス命令のアクセスアドレスが前記領域終了アドレス以下であるときアクティブ状態の信号を出力する第 2 の比較器と、
前記第 1 の比較器と前記第 2 の比較器の出力がともにアクティブ状態のとき、前記アドレス一致信号をアクティブ状態として出力する論理回路と、
を備えたことを特徴とする、請求項 4 乃至 6 のいずれかに記載のベクトル型情報処理装置。

【請求項 8】前記領域指定付ベクトルスキヤタ命令が、命令コードとして、オペランドの所定のフィールドで、前記レジスタブロックの 2 本のレジスタを指定し、それぞれに、スキヤタ領域の領域開始アドレスと領域終了アドレスを指定する、構成とされている、ことを特徴とする、請求項 4 乃至 7 のいずれかに記載のベクトル型情報処理装置。

【請求項 9】前記ホールド制御部は、前記ベクトルスキヤタアドレス一致検出部から送出されたアクティブ状態の前記アドレス一致信号を受けて、前記後続のメモリアクセス命令に、さらに後続する命令が存在する場合には、これらの命令も前記命令発行制御部内の各ステージ

10

20

30

40

50

にホールドさせる、ことを特徴とする、請求項4乃至7のいずれかーに記載のベクトル型情報処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ベクトル型情報処理装置に関し、特に、ベクトルスキャタ命令制御回路に関する。

【0002】

【従来の技術】ベクトル型情報処理装置において、通常、ベクトル命令でアクセスされるメモリ領域は、キャッシュに登録されない。

【0003】その理由は、ベクトル命令が対象とするデータは、一般に参照の局所性が乏しく、キャッシュに登録しても、直ちに他のキャッシュラインデータによって、スワップアウトされ、キャッシュのヒット率が低下する、ためである。

【0004】また、ベクトル型情報処理装置において、ベクトルのメモリアクセス命令には、VST（ベクトルストア）／VLD（ベクトルロード）命令のように、開始アドレスとアクセスするベクトルデータの間の間隔（ディスタンス）によって、規定するものがある。

【0005】このうち、VLD命令は、この規定されたアドレスに従って、ベクトルユニット内に存在する「ベクトルレジスタ」と呼ばれる複数ワードからなるベクトルデータ格納領域に、メモリのデータを取り込む。

【0006】逆に、VST命令は、ベクトルレジスタのデータを、メモリに書き込む。

【0007】このVST命令は、命令発行時点で、アクセスするアドレスを認識することが可能であるため、VST命令を、VLD命令やスカラロード命令が追い越し制御することによって、性能向上を図ることが比較的容易である。

【0008】一方、VGT（ベクトルギャザ）／VSC（ベクトルスキャタ）命令のような、いわゆる「リストベクトル」と呼ばれる命令では、ベクトルユニット内に存在するベクトルレジスタの値を、メモリのアクセスアドレスとしているため、ベクトルユニットに、命令が到達した時点で、初めてアクセスするアドレスが判り、且つ、そのアドレスは、一般に、ランダムである。

【0009】本発明の理解のために、リストベクトル命令について、図8を参照して、説明しておく。

【0010】まず、図8（a）に示すように、VGT命令（ベクトルギャザ命令）は、ベクトルレジスタVyの各要素に格納されているアドレスVA（n）のメモリデータを、ベクトルレジスタVxの対応する要素に格納するように、メモリからデータをロードするものである。

【0011】また図8（b）に示すように、VSC命令（ベクトルスキャタ命令）は、ベクトルレジスタVyの各要素に格納されているアドレスVA（n）のメモリ領域へ、ベクトルレジスタVxの対応する要素データを格

納するように、メモリにデータをストアするものである。

【0012】ベクトルメモリアクセス命令とは対照的に、スカラメモリアクセス命令の場合、一般的に、データ参照の局所性があることから、通常、キャッシュメモリにデータを格納し、メモリアクセスのレイテンシを隠す方式が採用されている。

【0013】

【発明が解決しようとする課題】このようなキャッシュを用いたベクトル型情報処理装置において、ベクトルメモリアクセス命令が発行され、メモリへの書き込みが発生した場合、キャッシュの一致性を維持するために、アクセスするアドレスがキャッシュ内に登録されている場合には、キャッシュ無効化を行う必要がある。これによって、後続キャッシュアクセス命令がストールし、性能低下の主要因になっている。

【0014】そして、キャッシュ無効化処理は、VST（ベクトルストア）命令とVSC（ベクトルスキャタ）命令では異なる。

【0015】VST命令の場合、命令発行時に、開始アドレスとディスタンスが決定されるので、これら2つのデータによって、比較的、高速に、キャッシュ無効化ができると共に、アクセスする開始アドレスと、終了アドレスを即座に計算できることから、後続のスカラLD（ロード）命令とのアドレスが一致しない場合に、後続命令に、追い越し制御させることができる。

【0016】一方、VSC（ベクトルスキャタ）命令の場合には、アクセスするアドレスが、ベクトルレジスタを読み出した後でなければ分からないこと、及び、アドレスがランダムであることから、ベクトルユニットから、スカラユニット内のキャッシュ無効化制御部（図1の4参照）に、無効化アドレスが送られ、該無効化アドレスに合致するキャッシュデータを無効化する処理を行う必要がある。

【0017】このため、VSC命令に後続する全てのメモリアクセス命令は、このキャッシュ無効化処理が終了しないと、命令を発行することができず、性能低下が発生する。

【0018】この問題について、図6及び図7を参照して具体的に説明する。

【0019】まず、説明を容易にするため、スカラロード（キャッシュアクセス）命令であるLDS命令について、図7を参照して説明する。このLDS命令は、VGT／VSC命令と同様、OPC（オペコード）と、オペランドX、Y、Zの計4つのフィールドから構成され、アドレスは、 $R_y + R_z$ で計算され、アドレス $R_y + R_z$ のメモリから読み出した結果M（ $R_y + R_z$ ）は、レジスタRxに格納される。

【0020】さて、図6（a）において、まずVST（ベクトル）命令の発行後、キャッシュ無効化が行わ

れ、それとほぼ同時に、ベクトルからのメモリへの書込みが行なわれる。

【0021】その後続のLDS命令は、VST命令のアドレスとそのアドレスが重ならなければ、たとえ、キャッシュが無効化されていても、命令を発行することができる。

【0022】一方、図6(b)を参照すると、VSC(ベクトルスキャタ)命令の場合、キャッシュ無効化処理が行なわれるのは、ベクトルの処理が始まり、無効化アドレスが送られてくる時であり、また、VSC命令の発行直後にアクセスするアドレスは不明であり、しかも、ランダムであることから、キャッシュ無効化が終了するまで、後続のLDS命令がホールドで待たされる。

【0023】このように、VSC命令に後続する全てのメモリアクセス命令は、このキャッシュ無効化処理が終了しないと、命令を発行することができず、性能低下が発生する。

【0024】したがって、本発明は、上記問題点に鑑みてなされたものであって、その目的は、ベクトル処理装置において、ベクトルスキャタ命令でのキャッシュ無効化処理による後続命令の発行延期の回避と、ベクトルスキャタ命令の追い越し制御を可能とし、性能向上を実現する装置を提供することにある。

【0025】

【課題を解決するための手段】前記目的を達成する本発明は、アクセスするメモリのアドレスの範囲が指定される領域指定付ベクトルスキャタ命令のアクセスするアドレスが、後続のメモリアクセス命令のアドレスと重なっているか否かを検出する手段と、アドレスが一致した後続のメモリアクセス命令をホールドさせる手段とを備えている。

【0026】

【発明の実施の形態】本発明の実施の形態について説明する。本発明は、領域指定付ベクトルスキャタ命令の領域開始アドレスと、領域終了アドレスを格納するレジスタと、前記領域指定付ベクトルスキャタ命令のアドレスと、該命令の後続メモリアクセス命令とのアドレスとが重なっているか否かを検出する回路と、を備えたベクトルスキャタ(VSC)アドレス一致検出部を備え、命令発行制御部は、前記領域指定付ベクトルスキャタ命令のアドレスと一致した後続メモリアクセス命令をホールドさせるホールド制御回路を備えている。

【0027】より詳細には、本発明は、その好ましい一実施の形態において、命令データを解読して、命令動作を指示する命令発行制御部(1)と、命令発行制御部

(1)からのアドレスを受け取り、スカラ型メモリアクセス命令に対して、キャッシュの更新等、キャッシュの制御を行うキャッシュ制御部(2)と、命令発行制御部(1)からベクトル命令が発行された場合、実行指示を受け取り、前記ベクトル命令が、スキャタ領域の開始ア

ドレスと終了アドレスが指定される領域指定付VSC命令(ベクトルスキャタ命令)である場合、メモリ(7)に対して、書き込むべきベクトルデータを送出するとともに、更に、キャッシュ無効化アドレスを送出するベクトルユニット(6)と、ベクトルユニット(6)からキャッシュ無効化アドレスを受け取り前記キャッシュの無効化を行うキャッシュ無効化制御部(4)と、命令発行制御部(1)から、領域指定付VSC命令が発行された場合、レジスタブロック(5)より、前記領域指定付VSC命令のスキャタ領域の開始アドレスと終了アドレスを受け取り、前記領域指定付VSC命令の後続のメモリアクセス命令とアクセスするアドレス領域が重なっているか否かを検出し、重なっている場合、アドレス一致信号をアクティブ状態として、命令発行制御部(1)に対して送出するVSCアドレス一致検出部(3)と、を備え、命令発行制御部(1)は、VSCアドレス一致検出部(3)から送出されたアクティブ状態の前記アドレス一致信号を受けて、後続のメモリアクセス命令を、ホールドさせるホールド制御回路(図2の105)を備えている。

【0028】本発明において、前記領域指定付VSC命令は、オペコードと、X、Y、Zフィールドを有し、Zフィールドで、前記レジスタブロックの2本のレジスタを指定し、それぞれに、スキャタ領域の開始アドレスと、終了アドレスを指定する。

【0029】

【実施例】上記した本発明の実施の形態についてさらに詳細に説明すべく、本発明の実施例について図面を参照して以下に説明する。図1は、本発明の一実施例の基本構成を示す図である。

【0030】図1を参照すると、本発明の一実施例をなすベクトル処理装置において、命令発行制御部1と、レジスタブロック5と、キャッシュ制御部2と、VSCアドレス一致検出部3と、キャッシュ無効化制御部4がスカラプロセッサを構成しており、ベクトルユニット6と、メモリ7を備えている。

【0031】このうち命令発行制御部1は、信号線71を経由して、メモリ7から読み出した命令データを解読して、命令動作を指示する。

【0032】命令発行制御部1は、キャッシュ制御部2と、VSC(ベクトルスキャタ命令)アドレス一致検出部3に対しては、信号線12を介して、アドレスを送出し、キャッシュアクセスと、VSCアドレス一致を行う。

【0033】命令発行制御部1は、レジスタブロック5に対して、信号線15、51を介して読み出し/書き込みを制御する。

【0034】キャッシュ制御部2は、命令発行制御部1からのスカラロードがミス(ミスヒット)した場合、信号線27を介して、キャッシュリフィルデータを要求

し、メモリ 7 からのデータを信号線 7 2 を介して受け取る。

【0035】また、キャッシュ制御部 2 は、スカラストア命令が発行された場合に、キャッシュにヒットした場合には、キャッシュデータを書き換え、更に、メモリ 7 に対しても、必ず書き換えるストアスルーアルゴリズムに基づく。

【0036】命令発行制御部 1 において、ベクトル命令が発行された場合、信号線 1 6 を介して、実行指示が、ベクトルユニット 6 に送られる。その際、ベクトル命令が VSC 命令（ベクトルスキュタ命令）である場合、ベクトルユニット 6 は、メモリ 7 に対して書き込むべきベクトルデータを信号線 6 7 を介して送出し、更に、ベクトルユニット 6 は、信号線 6 4 を介して、キャッシュ無効化アドレスを、キャッシュ無効化制御部 4 に送出する。

【0037】また、VSC 命令が発行された場合、レジスタブロック 5 から信号線 5 3 を介して、VSC 命令の開始アドレスと、終了アドレスが、VSC アドレス一致検出部 3 に送られ、VSC アドレス一致検出部 3 では、後続のメモリアクセス命令とアクセスするアドレス領域が重なっているか判定し、重なっている場合、VSC アドレス一致検出部 3 から、信号線 3 1 を介して、アドレス一致信号が、命令発行制御部 1 に送られる。

【0038】次に、本発明で、新たに提案されている、領域指定付 VSC 命令の仕様について、図 3 を参照して説明する。

【0039】図 3 に示すように、命令フィールドは、前述のように、OPC（オペコード）と、X、Y、Z の 4 つのフィールドに分けられる。通常の VSC 命令と異なるところは、Z フィールドにおいて、レジスタブロック 5 内にある、R_n と R_n + 1 の 2 本のレジスタを指定し、それぞれに、スキュタ領域の開始アドレスと、終了アドレスを指定することである。なお、VSC 命令では、X、Y フィールドは、ベクトルユニット 6 のベクトルレジスタの番号を指定するための用いられる。

【0040】図 2 は、本発明の一実施例における命令発行制御部 1 と、レジスタブロック 5 と、VSC アドレス一致制御部 3 の構成を説明するための図である。

【0041】図 2 を参照すると、メモリから信号線 7 1 を介して供給される命令データは、一旦、命令キャッシュ 1 0 1 に格納され、D ステージレジスタ 1 0 2 の OPC（命令コード）、X、Y、Z の 4 つのフィールドに格納する。

【0042】その後、EE ステージレジスタ 1 0 3 に、命令コードと、X フィールドと、Y フィールドが移動し、それと同時に、レジスタブロック 5 のレジスタ 5 0 から、EE ステージのレジスタ Y data ee と Z data ee に、オペランドデータを読み出す。

【0043】LDS 命令の場合には、次の EC ステージ

レジスタ 1 0 4 に、EE ステージレジスタ 1 0 3 の情報を移行すると同時に、AAD（アドレス加算器）1 1 5 で計算したアドレスを、アドレス ec（レジスタ）に格納し、キャッシュアクセスに使用する。アドレス ec（レジスタ）の出力は、図 1 のアドレス 1 2 として、キャッシュ制御部 2 として出力され、また VSC アドレス一致検出部 3 に供給される。

【0044】また、本発明によって新たに設けられた領域指定 VSC 命令の場合は、EE ステージの Z data ee（ラッチ）を介して読み出された、VSC 開始アドレスと終了アドレスを、それぞれ、EC ステージの VSC 開始アドレス ec と、VSC 終了アドレス ec に格納する。なお、図 2 の HLD（ホールド）制御部 1 0 5 から VSC 開始アドレス ec と、VSC 終了アドレス ec に供給される信号 H は、データをホールドする信号である。

【0045】その後、HLD 制御部 1 0 5 からの VSC 発行信号 1 3 によってストローブされ、VSC 開始アドレス ec と、VSC 終了アドレス ec の保持データは、EB ステージの VSC 開始アドレス eb（ラッチ）と、VSC 終了アドレス eb（ラッチ）にセットされる。

【0046】これらの情報は、次の領域指定付 VSC 命令発行まで、保持される。

【0047】VSC アドレス一致検出部 3 は、後続のメモリアクセス命令のアクセスアドレスを保持するアドレス ec と、VSC 開始アドレス eb の値を比較し、後続のメモリアクセス命令のアクセスアドレスが VSC 開始アドレス以上であるときアクティブ状態の信号を出力する比較器 3 0 1 と、アドレス ec と、VSC 終了アドレス eb とを比較し、前記後続のメモリアクセス命令のアクセスアドレスが VSC 終了アドレス以下であるときアクティブ状態の信号を出力する比較器 3 0 2 と、比較器 3 0 1、3 0 2 の出力のがともにアクティブのとき、アクティブ状態のアドレス一致信号 3 1 を HLD 制御部 1 0 5 に出力する論理積回路 3 0 3 を備えている。

【0048】そして、領域指定付 VSC 命令の発行直後の後続 LDS 命令からアクセスするアドレスが、VSC 命令のスキュタ領域と重なった場合に、VSC アドレス一致信号 3 1 がアクティブとなり、HLD 制御部 1 0 5 に送られ、これを受けて HLD 制御部 1 0 5 は、ECHLD 信号をアクティブとし（オンし）、この信号は、キャッシュ無効化制御部 4 から出力されるキャッシュ無効化終了信号 4 1 がオンする（キャッシュ無効化処理が終了する）まで、オン状態とされ、後続の LDS 命令は、命令発行制御部 1 の EC ステージにホールドされる。

【0049】EC ステージで待っている LDS 命令にも、後続命令が存在する場合には、HLD 制御部 1 0 5 は、EE HLD 信号、もしくは DHLD 信号をオンさせて、これらの後続命令を、EE ステージ、もしくは D ステージで待たせる。

【0050】なお、図2において、REG更新制御部111は、レジスタブロック5のレジスタ50を更新制御するものであり、例えば公知のWAWハザードの回避制御を行う。また、VSC命令の場合、ECステージレジスタ104のX/Yecからの出力は、ベクトルレジスタの番号であり信号線16から、ベクトルユニット6に供給される。

【0051】次に、本発明の一実施例における、領域指定付VSC命令と、その直後に存在するLDS命令の動作タイミングについて、図4、及び図5を参照して説明する。これら2つの例では、後続のLDS命令がキャッシュヒットした場合を想定している。

【0052】図4には、領域指定付VSC命令で指定された領域（スキャタ領域）と、後続のLDSがアクセスするアドレスが重ならなかった場合、すなわち、アドレス一致しない場合のタイミング動作が示されている。なお、図4、図5において、D、EE、EC、EBは、図2に示した命令発行制御部1内のDステージ、EEステージ、ECステージ、EBステージ（VSC開始アドレスeb、VSC終了アドレスeb）の各ステージに対応している。

【0053】領域指定付VSC命令は、Zオペランド（Zd）に指定される、レジスタRn、Rn+1と2回読む必要があるため、Dステージで、2つに分解される（図4のVSC1st、VSC2nd）。なお図2のインクリメント（+1）は、レジスタRn、Rn+1と二回読むための制御回路である。

【0054】タイミング3、4で、VSC命令発行13が出力され、その時に、各々、VSC開始アドレスebと、VSC終了アドレスebに格納される。

【0055】その後、LDS命令がタイミング5で、ECステージから発行されると、タイミング6で、キャッシュデータを読みこみ、タイミング7には、レジスタブロック5のWDR（write data register）にキャッシュデータを格納し、タイミング8で、WDRからレジスタ50に書き込んで、LDS命令の実行を終了する。なお、レジスタブロック5のWARは（write address register）であり、レジスタ50（レジスタファイル）の中の複数のレジスタの一つを選択する。

【0056】次に、VSC命令で指定された領域と、後続のLDSがアクセスするアドレスが重なった場合、すなわち、アドレス一致した場合の動作について、図5を参照して説明する。図4に示したアドレス不一致の場合との違いは、タイミング5で、VSCアドレス不一致がオンしたところから始まる。

【0057】その後、LDS命令は、タイミング7で、キャッシュ無効化終了信号41がオンするまで、ECステージで、ECHLD信号をオンさせて、ホールドされる。

【0058】その後、アドレス不一致の場合と同様にし

て、LDS命令の結果を、レジスタブロック5のWDRを介して、レジスタ50に、データを書き込む。

【0059】本発明の一実施例においては、命令制御回路において、領域指定VSC命令によって、アクセスするメモリ領域に関する示唆を、プログラマ（すなわちプログラマがコーディングしたプログラム）より得ることで、後続のLDS命令の追い越し制御が可能となり、大幅な性能向上が実現できる。本発明の一実施例の効果を、図6を参照して、より詳しく説明する。

【0060】まず、VST命令の場合、発行時点でアクセスする領域が判るため、直ちに、キャッシュ無効化が実現でき、後続のLDS命令の追い越し制御が可能となる。もし、追い越しが可能であると判定された場合には、キャッシュ無効化中でも、LDS命令の実行は可能となる。

【0061】一方、従来技術におけるVSC命令の場合、命令発行時点ではメモリアクセス領域が判らず、またランダムでもあるため、後続のLDS命令の追い越し制御は不可能であり、キャッシュ無効化処理終了まで待たなくてはならない。

【0062】本発明によれば、VSC命令であっても、VST命令のように、後続LDS命令の追い越し制御が可能としている。

【0063】そして、従来技術においては、後続LDS命令の待ちが、任意のアドレスについてVSC発行直後からキャッシュ無効化終了まで必要となる。

【0064】これに対して、本発明によれば、この待ちは、アドレス一致しない場合にはなくなる。このため、きわめて高い頻度で出現するLDS命令の性能向上に特段に寄与する。

【0065】

【発明の効果】以上説明したように、本発明によれば、領域指定VSC命令によって、アクセスするメモリ領域に関する示唆を、プログラムから得ることで、後続のLDS命令の追い越し制御を可能としており、処理性能を特段に向上することができる、という効果を奏する。その理由は、本発明においては、命令中でスキャタ領域が指定されるベクトルスキャタ命令がアクセスするアドレスと、後続のメモリアクセス命令のアドレスとが重なっているか否かを検出する手段と、アドレスが重なっている場合には、前記後続のメモリアクセス命令をホールドさせる手段とを備えたためである。

【図面の簡単な説明】

【図1】本発明の一実施例の構成を示す図である。

【図2】本発明の一実施例における命令実行制御部とVSCアドレス一致検出部の構成を示す図である。

【図3】本発明の一実施例におけるVSC命令を説明するための図である。

【図4】本発明の一実施例の動作を説明するための図である。

16 ベクトル命令発行指示

2.5 控制信号

27 アドレス

3.1 アドレス一致信号

4.1 キヤッシュ無効化終了信号

- 50 レジスタ

- ## 6.4 無効化アドレス

- 67 アドレス信号

- ## 7.1 命令データ

- 10 72 データ

- 101 命令キャッシュ

- 102 Dステージレジスタ

- 103 EEステージレジスタ

- 104 ECステージレジスタ

- 105 HLD制御部

- ### 301、302 比較器

- 303 論理積回路

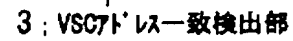
スカラブロッセッサ



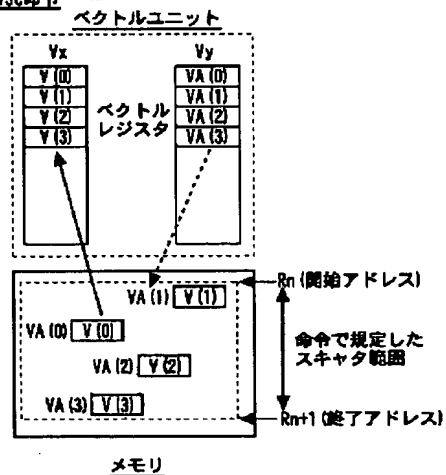
		X	Y	Z
US 112	UPC	R _x	R _y	R _z

$R_x \leftarrow M(R_y + R_z)$

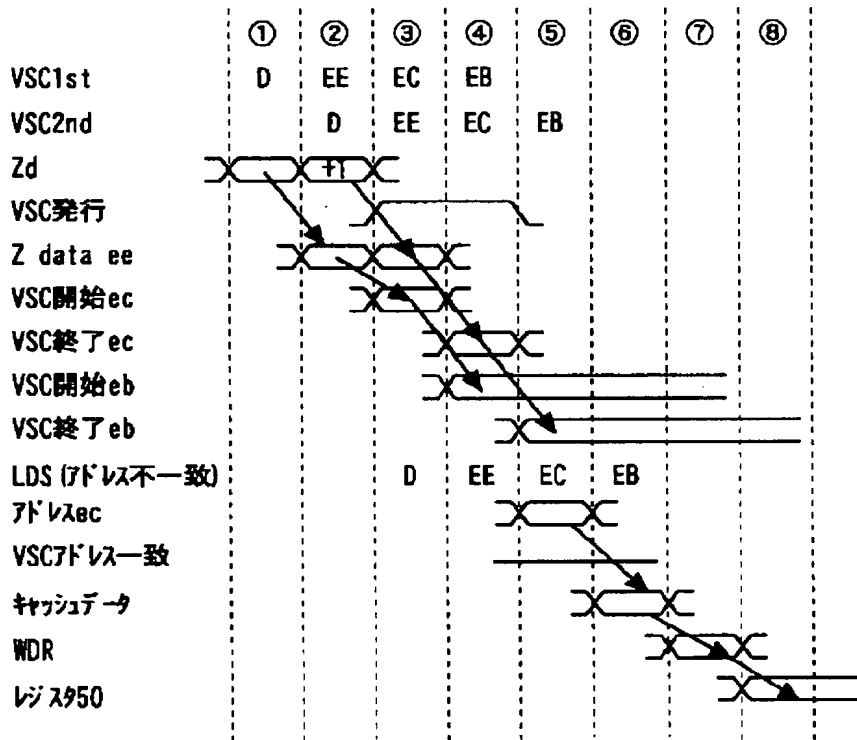
1; 命令発行制御部



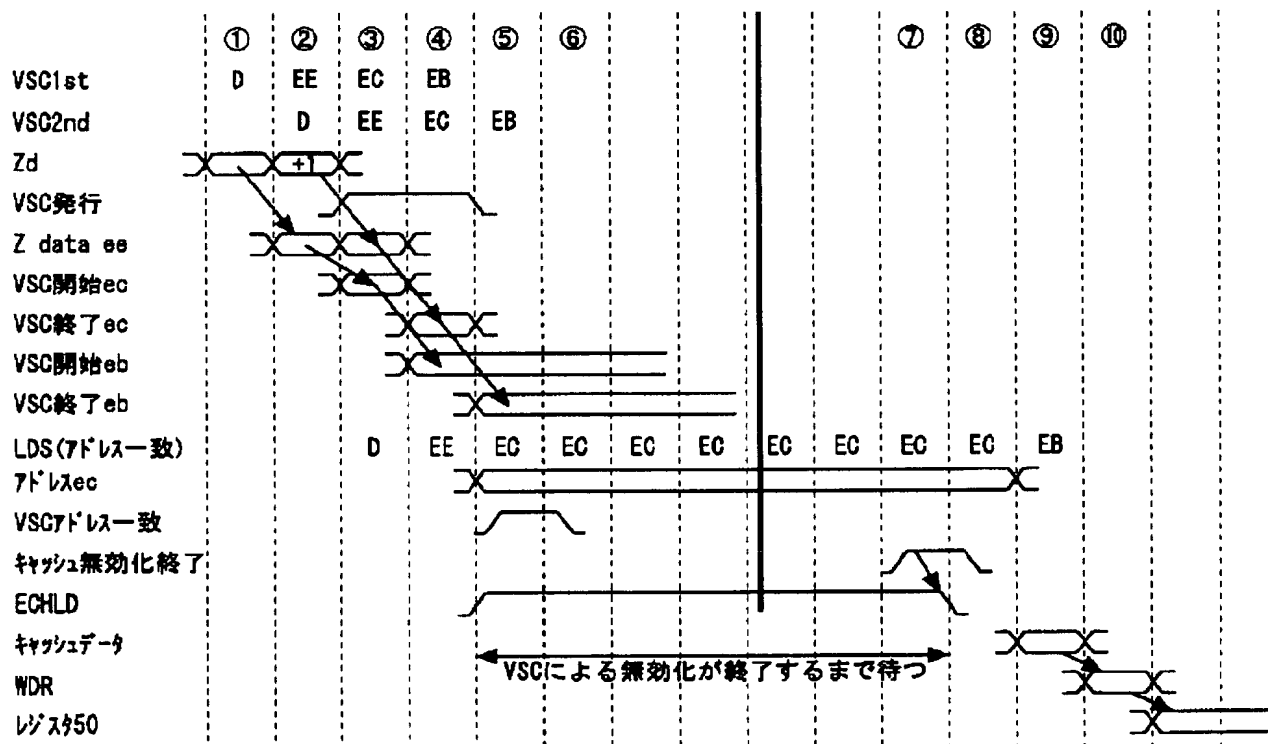
	X	Y	Z
領域指定付 VSC命令	OPC	Vx	Vy
			Rn



【図 4】

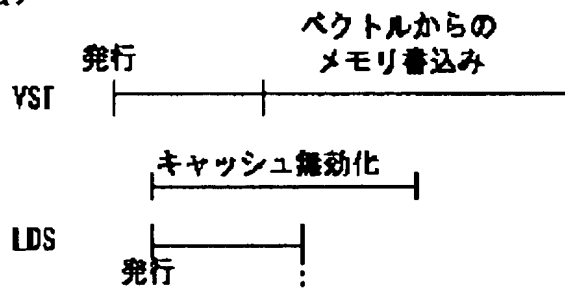


【図 5】

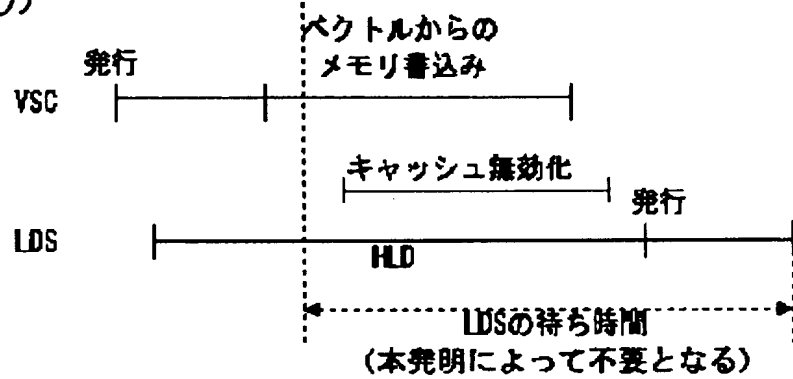


【図 6】

(a)

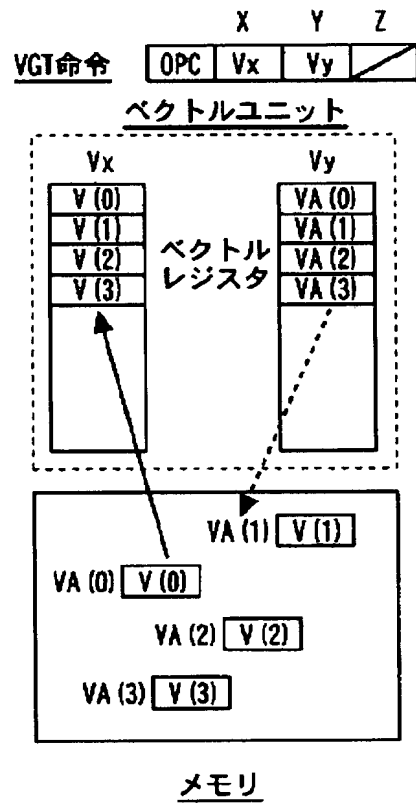


(b)



【図8】

(a)



(b)

